

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-134203
(43)Date of publication of application : 21.05.1999

(51)Int.Cl. G06F 9/46
G06T 1/00
H04N 7/24

(21)Application number : 10-238057 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 25.08.1998 (72)Inventor : IMANISHI HIROSHI
ARAKI TOSHIYUKI

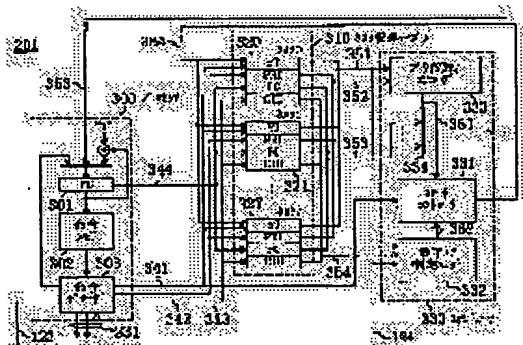
(30)Priority
Priority number : 09235625 Priority date : 01.09.1997 Priority country : JP

(54) MICRO CONTROLLER, DATA PROCESSING SYSTEM AND CONTROL METHOD FOR TASK SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high speed task switching in a micro controller for controlling plural hardware engines.

SOLUTION: A processor 300, a task management table 310 and a scheduler 330 are incorporated in the micro controller. The processor 300 sequentially executes plural tasks for controlling the allocated hardware engines (cores). The task management table 310 stores task management information containing state information (ST information) showing the respective execution situations of the plural tasks, priority information (PRI information) showing the execution priority of the plural tasks and core ID information (CID information) showing to which cores the plural tasks are allocated. The scheduler 330 causes the processor 300 to switch the task based on task management information when a specified instruction is decoded or the execution of any core terminates.



LEGAL STATUS

[Date of request for examination] 25.08.1998
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3007612
[Date of registration] 26.11.1999
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

PAGE BLANK (USPTO)

スタファイル211～215及び共通レジストライ216の配設を省略して、上記信号線131～136及びCバス243から直接に引き出すようにしてもよい。
【0012】図1のMPEG画像エンコーダによれば、 16×16 画素からなるマクロブロックを単位として画像データ処理が進められる。まず、入力された画像データ211に対しMDコア111で動きベクトルの候補が求められる。これらの動きベクトルを用いてMCコア112で画像の差分データが求められ、最適な動きベクトルが選択される。選択された動きベクトルに対するデータ211は、DCTコア113で離散コサイン変換され、Qコア114で量子化され、求めた動きベクトルなどのサイド情報とともにVLCコア115で可変長符号化された後、符号化データ112として出力される。
【0013】図2を参照して詳細に説明すると、タスク分データは、DCTコア113で離散コサイン変換され、Qコア114で量子化され、求めた動きベクトルなどのサイド情報とともにVLCコア115で可変長符号化された後、符号化データ112として出力される。
コントローラ201は、まず信号線231、ALU232、3及びCバス243を介してMDコアレジスタファイル211に動作パラメータを読み込むとともにVLCコア115で可変長符号化された後、符号化データ112として出力される。
【0014】図2を参照して詳細に説明すると、タスク分データは、DCTコア113で離散コサイン変換され、Qコア114で量子化され、求めた動きベクトルの候補が選択される。選択された動きベクトルの候補が信号線131を介してMDコア111の実行が終了するとしてMDコア111から終了信号124が送出される。MDコア111は、MDコアレジスタファイル211に書き込まれ、MDコア111から終了信号124が送出される。タスクコントローラ201は、この終了信号124を受け取ると、MCコア112のための動作パラメータを計算する。MCコア112のための動作パラメータはMCコアレジスタファイル211から動きベクトルの候補を読み出し、これに基づき乘算器221、シフト222、ALU223及び汎用レジスタファイル217を用いてMCコア112のための動作パラメータを計算する。
動作パラメータはMCコアレジスタファイル211が212で設定され、起動信号123によりMCコアレジスタファイル211が212で設定される。MCコア112は、MCコアレジスタファイル211が212で設定されると、差分データが信号線133に、画像の差分が終了すると、差分データの総和が信号線133に、画像の差分データがバッファメモリ116にそれぞれ書き込まれる。
MCコア112から終了信号124が送出される。MCコア112を介してMCコアレジスタファイル211に、画像の差分データがバッファメモリ116にそれそれ書き込まれると、起動信号123によりDCTコア113が起動される。DCTコア113は、DCTコアレジスタファイル211に設定されたアドレスに基づいてバッファメモリ116から差分データを読み出し、これに基づき乗算器221、シフト222、ALU223及び汎用レジスタファイル217に設置されたアドレスがDCTコアレジスタファイル211に設定されたアドレスと一致する。求められた動きベクトルに対応する差分データを抜く。求められた動きベクトルに対応する差分データを抜く。求められた動きベクトルに対応する差分データを抜く。

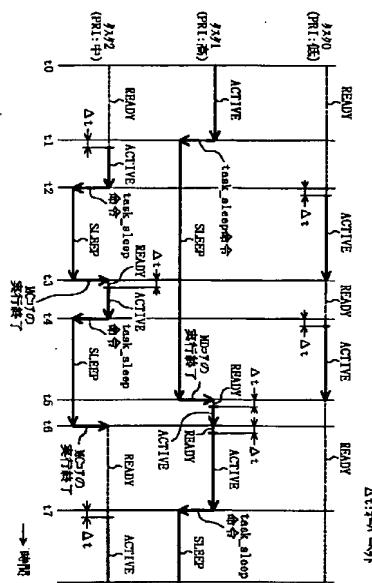
ンに変換する。DCTコア1-1の実行が終了すると、離散コサイン変換の結果がバッファメモリ1-17に書き込まれ、DCTコア1-13から終了信号1-24が送出される。以下、Qコア1-14で逆子化処理がなされ、その結果がバッファメモリ1-18に書き込まれ、VLCコア1-15で可変長符号化処理がなされ、その結果が符号化データ1-22として出力される。なお、上記5個のコア1-11～1-15のうちのいくつかのコアは、1マクロブロックを処理する間に、マイクロコントローラ1-01と起動信号1-23及びフレーム信号1-24のやりとりを複数回実行する。共通レジスタマスク1-16は、MP_EG1とMP_EG2との切り替えたもの共通パラメータを5個のコア1-11～1-15へ予め供給したり、動き評価モードを指定するための共通パラメータをMDコア1-11及びMDコア1-12へ予め供給したりする際に用いられる。

10 10014) 図3は、タスクコントローラ2-01の詳細構成を示している。タスクコントローラ2-01は、プロセッサ3-00と、タスク管理テーブル3-10と、スケジューラ3-30とで構成されている。プロセッサ3-00は、最大8個のタスクをシーケンシャルに実行することができるRISC(Reconfigurable Instruction Set Computer)型のプロセッサであって、命令アドレスを生成するためのプログラムカウンタ(PC)3-01と、一連の命令となるアプロダクタを格納するための命令メモリ3-02と、命令をデコードするための命令デコード3-03とを備えている。各コアへの起動信号1-23は、命令デコード3-03から供給される。また、命令デコード3-03は、命令実行のための資源である上記算算器2-21、シフタ2-22、ALU2-23などに信号線2-31を介して接続されている。タスク管理テーブル3-10は、タスク管理情報を記憶するための回路ブロックであって、タスクからタスク7までの8個のタスクのそれぞれに対応した8個のタスクレジスタマスク1-16と3-02を備えている。ここに、タスク管理情報は、複数のタスクの各自の実行状況を表すステータス情報(ST情報)と、該タスクのタスクの各自の実行優先度を表すプライオリティ情報(PRI情報)と、該优先度のタスクの各々が5個のコア1-11～1-15のうちのいずれのコアに割り当てられているかを表すコアID情報(CID情報)とを含む。更に、タスク管理テーブル3-10は、プロセッサ3-00の資源をなすP/C3-01の内容を追進するためのタスク毎の領域を有する。この追進領域には、ALU2-23(図2参照)の演算結果に係るフラグなども追従される。スケジューラ3-30は、タスク管理テーブル3-10に記憶されたタスク情報に基づき回路ブロックをアセットと、スタートコントローラ3-1と、終了コア判定ユニット3-32と、プライオリティエンコーダ3-33と、セレクタ3-34とを備えている。終了コア判定ユニット3-32は、5個のコア1-11～1-15のうちのいず

これがコアから
終了したコアか
ユニックットであ
る参照して行
ステートコン
ティエンコー
するための回
テープル3 1
ク番号3 6 1
タ3 3 4に知
は、タスク皆
るための回路
セッサ3 0 0
[0015]
おけるコアと
ロコントロー
～4 0 5を実
のタスク4 0
の全体を管理
る。このメイ
は存在しない
ア1 1 1を削
である。タス
2を制御する
る。タスク4
を制御するた
である。タス
を制御するた
スク4 0 5は
するための可
[0016]
ク4 0 0～4
グ理データブ
3によれば、
に応じて、
それぞれ設定
命令アコーダ
ドした際に、
がコア設定命
ダ3 0 3から
[0017]
念図である。
と、実行待ち
すACTIV
統待ちを表
し、タスクを
直後のタスク
一にあるク
READYス
READYス

たとき、**STOP**判定するための条件を満たすと、**STOP**命令が発行され、**STOP**処理が実行される。このとき、**STOP**処理はタスクを停止するが、タスクを停止するときに保有している資源を戻す。タスクを停止するときに保有している資源を戻す。タスクを停止するときに保有している資源を戻す。

[図7]



フロントページの競合

(56) 参考文献 特開平6-28323 (JP, A)

インターフェース(1995年1月号)(CQ
出版社)、p. 134~146

National Technical
Report, Vol. 40, No.

6 (1994年12月)、p. 122~128 (J I

C S T資料番号: GM474A)

(58) 請査した分野(Int.C17, DB名)

GOF
9/46

GOF
15/16

GOF
9/38

GOST
1/00

HON
7/24

JICSTファイル (J O I S)
C S D B (日本国特許庁)